PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-242065
(43)Date of publication of application : 21.09.1993

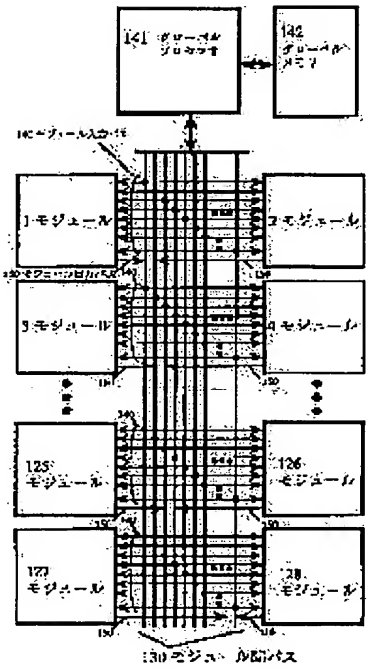
(51)Int.CI. G06F 15/18
G06F 15/16
G06F 15/80
G06G 7/60

(21)Application number : 04-042830
(22)Date of filing : 28.02.1992

(71)Applicant : HITACHI LTD
(72)Inventor : ASAI MITSUO
SHIBATA KATSUNARI
SATO YUJI
YAMADA MINORU
SAKAGUCHI TAKAHIRO
HASHIMOTO MASA

(54) INFORMATION PROCESSOR AND ITS SYSTEM

(57)Abstract:
PURPOSE: To provide a very compact information processing system which permits fast neural net learning and operation, permits operation based upon instruction sets different from each other for modules and also permits large- scale ultra parallel calculation.
CONSTITUTION: One module (modules 1-128) is constituted with a function black for arithmetic operation (capable of fast inner product operation) and a control part for controlling it. In a module, operation is made in SIMD method. Multiple modules can be connected far comunication. Multiple modules operate in MIMD method which includes different instruction set. In addition, within one module, the sections which are hardly affected with defects of a neuron processor and memory are accumulated on an integrated circuit board. As far the control part which is easily affected with the detects, the



integrated circuit board of the control part is mounted on the integrated circuit board using, for example, silicon-on-silicon technology.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number].

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

FG165
F1442

7

(19)日本国特許庁(JP)　(12)公開特許公報（A）　(11)特許出願公開番号

特開平５－２４２０６５

(43)公開日　平成5年(1993)9月21日

(51)Int. Cl.[5]		識別記号	庁内整理番号	FI	技術表示箇所
G06F	15/18		8945－５L		
	15/16	３９０　Z	9190－５L		
	15/80		9190－５L		
G06G	7/60				

審査請求　未請求　請求項の数３０　(全２１頁)

(21)出願番号　特願平4-42830

(22)出願日　平成4年(1992)2月28日

(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者　浅井　光男
東京都国分寺市東恋ケ窪1丁目280番地　株式会社日立製作所中央研究所内

(72)発明者　柴田　克成
東京都国分寺市東恋ケ窪1丁目280番地　株式会社日立製作所中央研究所内

(72)発明者　佐藤　裕二
東京都国分寺市東恋ケ窪1丁目280番地　株式会社日立製作所中央研究所内

(74)代理人　弁理士　小川　勝男

最終頁に続く

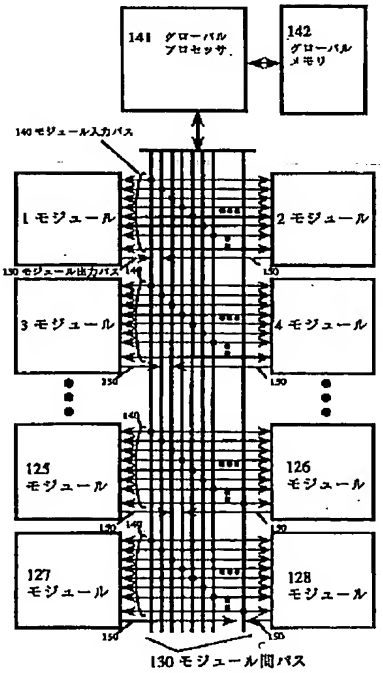
(54)【発明の名称】情報処理装置及びシステム

(57)【要約】

【構成】演算を行う機能ブロック(内積演算を高速に行えるもの)とこれを制御する制御部を１つのモジュール（１～１２８モジュール）とする。モジュール内ではＳＩＭＤ方式により動作を行う。さらに複数個のモジュールを接続し通信を可能とする。複数個のモジュールは、異なる命令セットであるＭＩＭＤ方式により動作を行う。また、１つのモジュール内では、ニューロンプロセッサ及びメモリなどの欠陥に対して強い部分は集積回路基板上に集積し、欠陥に対して弱い制御部は、例えばシリコン・オン・シリコン技術により、その集積回路基板上に制御部の集積回路基板を搭載する。

【効果】ニューラルネットの学習及び動作を高速に行うことができる。更にモジュールごとに異なる命令セットにより動作させることが可能である。また大規模の超並列計算を行う情報処理システムを非常にコンパクトに提供できる。

図１



1

【特許請求の範囲】

【請求項１】内積演算を行なう複数のニューロンプロセッサを第１の集積回路基板上に集積し、
上記複数のニューロンプロセッサを制御する制御プロセッサを第２の集積回路基板上に集積し、
上記第１の集積回路基板上に上記第２の集積回路基板を搭載して単一のモジュール構成としたことを特徴とする情報処理装置。

【請求項２】請求項１の情報処理装置において、上記第１及び第２の集積回路基板をシリコンで構成し、シリコン・オン・シリコンにより上記第２の集積回路基板を搭載したことを特徴とする情報処理装置。

【請求項３】請求項１の情報処理装置において、上記複数のニューロンプロセッサは、夫々演算器と重み値を保持するメモリを備え、上記複数のニューロンプロセッサを相互に接続するデータバスを備えたことを特徴とする情報処理装置。

【請求項４】請求項１の情報処理装置において、上記複数のニューロンプロセッサに対する動作命令を格納するエリアを有するワーキングメモリを上記第１の集積回路基板上に集積したことを特徴とする情報処理装置。

【請求項５】請求項１の情報処理装置において、アナログ信号を入力しディジタル信号に変換するＡ／Ｄ変換器を第３の集積回路基板上に集積し、上記第１の集積回路基板上に上記第３の集積回路基板を搭載して単一のモジュール構成としたことを特徴とする情報処理装置。

【請求項６】重み値を保持するメモリ、その重み値を用いて内積演算を行う演算器、及びその内積演算の結果を保持する手段を備えた複数のニューロンプロセッサと、
上記複数のニューロンプロセッサを相互に接続するデータバスと、
少なくとも上記複数のニューロンプロセッサに対する動作命令を格納するワーキングメモリと、
上記動作命令を上記複数のニューロンプロセッサに出力するための命令バスとを少なくとも第１の集積回路基板上に集積し、
上記複数のニューロンプロセッサを制御する制御プロセッサを第２の集積回路基板上に集積し、
上記第１の集積回路基板上に上記第２の集積回路基板を搭載して単一のモジュール構成としたことを特徴とする情報処理装置。

【請求項７】請求項６の情報処理装置において、上記制御プロセッサは、上記ワーキングメモリと、上記複数のニューロンプロセッサの内積演算の結果を保持する手段のメモリとを同一のメモリ空間としてアクセスすることを特徴とする情報処理装置。

【請求項８】演算器と情報を保持するメモリを備えた複数の機能ブロックと、上記複数の機能ブロックを相互に接続し、データを通信する手段を第１の集積回路基板上に集積し、

2

上記複数の機能ブロックに対する動作命令の発生を制御し、上記複数の機能ブロックとメモリ空間を共有するスカラープロセッサを第２の集積回路基板上に集積し、
上記第１の集積回路基板上に上記第２の集積回路基板を搭載して単一のモジュール構成としたことを特徴とする情報処理装置。

【請求項９】相互に接続された複数の第１の機能ブロックと、上記複数の第１の機能ブロックに対して同一の動作命令を発生する第２の機能ブロックとを備えた情報処理装置を、複数個相互に接続したことを特徴とする情報処理システム。

【請求項１０】請求項９の情報処理システムにおいて、上記情報処理装置は、演算器と情報を保持するメモリを夫々備えた上記複数の第１の機能ブロックと、上記複数の第１の機能ブロックを相互に接続するデータバスと、少なくとも上記複数の第１の機能ブロックに対する動作命令セットを格納し、上記複数の第１の機能ブロックを制御する上記第２の機能ブロックと、上記動作命令セットを上記複数の第１の機能ブロックに出力するための命令バスとを備え、上記複数の第１の機能ブロックは、上記動作命令セットに従って動作することを特徴とする情報処理システム。

【請求項１１】請求項９の情報処理システムにおいて、上記情報処理装置の上記複数の第１の機能ブロックを単一の集積回路基板上に集積したことを特徴とする情報処理システム。

【請求項１２】請求項９の情報処理システムにおいて、各々の上記情報処理装置は、同一または異なるニューラルネットモデルの計算を行うことを特徴とする情報処理システム。

【請求項１３】請求項１２の情報処理システムにおいて、上記ニューラルネットモデルとして、相互結合型ニューラルネットワークを用いることを特徴とする情報処理システム。

【請求項１４】データの演算を行う複数の機能ブロックを備え、上記複数の機能ブロックは単一の命令セットに従って単一命令複数データ流方式（ＳＩＭＤ）で動作する情報処理装置を複数個設け、
上記複数個の情報処理装置間を非同期に通信し、複数命令複数データ流方式（ＭＩＭＤ）で動作させることを特徴とする情報処理システム。

【請求項１５】請求項１４の情報処理システムにおいて、各々の上記情報処理装置は、当該情報処理装置以外の他の情報処理装置より順次入力される信号を順次記憶する記憶手段と、上記複数の機能ブロックと上記順次記憶する記憶手段とを相互に接続するデータバスと、上記データバス上に出力された所定の機能ブロックの出力を他の情報処理装置へ順次出力する手段とを備え、上記情報処理装置間は非同期に相互通信することを特徴とする情報処理システム。

【請求項１６】請求項１５の情報処理システムにおいて、各々の上記情報処理装置は、単一命令複数データ流方式（ＳＩＭＤ）で動作する上記複数の機能ブロックに対し、上記単一命令セットの発生を制御するスカラープロセッサを備えたことを特徴とする情報処理システム。

【請求項１７】請求項１４の情報処理システムにおいて、上記情報処理装置の上記複数の機能ブロックを単一の集積回路基板上に集積したことを特徴とする情報処理システム。

【請求項１８】内積演算を行う複数のニューロンプロセッサを備え、上記複数のニューロンプロセッサは単一の命令セットに従って単一命令複数データ流方式（ＳＩＭＤ）で動作する情報処理装置を複数個設け、
上記複数個の情報処理装置間を非同期に通信し、複数命令複数データ流方式（ＭＩＭＤ）で動作させることを特徴とする情報処理システム。

【請求項１９】請求項１８の情報処理システムにおいて、上記複数個の上記情報処理装置のうち少なくとも２個の情報処理装置は、同一のニューラルネットモデルを計算を行うことを特徴とする情報処理システム。

【請求項２０】請求項１９の情報処理システムにおいて、上記ニューラルネットモデルとして、相互結合型ニューラルネットワークを用いることを特徴とする情報処理システム。

【請求項２１】内積演算を行う複数のニューロンプロセッサと、上記複数のニューロンプロセッサに対する単一の命令セットの発生を制御するスカラープロセッサとを備え、上記スカラープロセッサは上記複数のニューロンプロセッサのメモリ空間を含んでアクセスし、単一命令複数データ流方式（ＳＩＭＤ）で動作する情報処理装置を複数個設け、
上記複数個の情報処理装置間を非同期に通信し、複数命令複数データ流方式（ＭＩＭＤ）で動作させることを特徴とする情報処理システム。

【請求項２２】内積演算を行う複数のニューロンプロセッサと、上記複数のニューロンプロセッサに対する単一の命令セットの発生を制御する第１のスカラープロセッサとを備え、単一命令複数データ流方式（ＳＩＭＤ）で動作する情報処理装置を複数個設け、
上記複数個の情報処理装置に対する複数の命令セットの発生を制御する第２のスカラープロセッサを備え、
上記複数個の情報処理装置間を非同期に通信し、複数命令複数データ流方式（ＭＩＭＤ）で動作させ、
上記第２のスカラープロセッサは、上記第１のスカラープロセッサ、及び上記複数のニューロンプロセッサのメモリ空間を含んでアクセスすることを特徴とする情報処理システム。

【請求項２３】情報を保持するメモリ、その情報を用いて演算を行う演算器、及びその演算の結果を保持する手段を備えた複数の機能ブロックと、上記複数の機能ブロックに対する単一の命令セットの発生を制御する第１のスカラープロセッサと、上記単一の命令セットを格納するエリアを有し、上記第１のスカラープロセッサのワーキング用のメモリとを備え、単一命令複数データ流方式（ＳＩＭＤ）で動作する情報処理装置を複数個設け、
上記複数個の情報処理装置に対する複数の命令セットの発生を制御する第２のスカラープロセッサと、上記複数の命令セットを格納するエリアを有し、上記第２のスカラープロセッサのワーキング用のメモリとを備え、
上記複数個の情報処理装置間を非同期に通信し、複数命令複数データ流方式（ＭＩＭＤ）で動作させ、
上記第２のスカラープロセッサは、上記第２のスカラープロセッサのワーキング用のメモリと、上記複数の機能ブロックの演算の結果を保持する手段のメモリと、上記第１のスカラープロセッサのワーキング用のメモリを同一のメモリ空間としてアクセスすることを特徴とする情報処理システム。

【請求項２４】請求項２３の情報処理システムにおいて、上記情報処理装置の上記複数の機能ブロックを、単一の集積回路基板上に集積したことを特徴とする情報処理システム。

【請求項２５】請求項２４の情報処理システムにおいて、各々の上記情報処理装置は、同一または異なるニューラルネットモデルの計算を行うことを特徴とする情報処理システム。

【請求項２６】請求項２５の情報処理システムにおいて、上記ニューラルネットモデルとして、相互結合型ニューラルネットワークを用いることを特徴とする情報処理システム。

【請求項２７】演算器と情報を保持するメモリを備えた複数の機能ブロックと、
上記複数の機能ブロックを相互に接続するデータバスと、
少なくとも上記複数の機能ブロックに対する動作命令を格納するワーキングメモリと、
上記動作命令を上記複数の機能ブロックに出力するための命令バスとを少なくとも第１の集積回路基板上に集積し、
上記複数の機能ブロックに対する動作命令の発生を制御するスカラープロセッサを第２の集積回路基板上に集積し、
外部のＩ／Ｏ装置とのインタフェースを行うＩ／Ｏプロセッサを第３の集積回路基板上に集積し、
上記第１の集積回路基板上に上記第２及び第３の集積回路基板を搭載して単一のモジュール構成としたことを特徴とするワークステーション。

【請求項２８】請求項２７のワークステーションにおいて、上記スカラープロセッサは、上記ワーキングメモリと、上記複数の機能ブロックの情報を保持するメモリとを同一のメモリ空間としてアクセスすることを特徴とす

5

るワークステーション。

【請求項２９】視覚情報を処理する複数の機能ブロックを備え、上記複数の機能ブロックは単一の命令セットに従って単一命令複数データ流方式（ＳＩＭＤ）で動作する情報処理装置と、

聴覚情報を処理する複数の機能ブロックを備え、上記複数の機能ブロックは単一の命令セットに従って単一命令複数データ流方式（ＳＩＭＤ）で動作する情報処理装置とを設け、

上記情報処理装置間を非同期に通信し、複数命令複数データ流方式（ＭＩＭＤ）で動作させることを特徴とするロボット制御システム。

【請求項３０】動画像の１フレームの画像情報を処理する複数の機能ブロックを備え、上記複数の機能ブロックは単一の命令セットに従って単一命令複数データ流方式（ＳＩＭＤ）で動作する情報処理装置を複数個設け、

上記複数個の情報処理装置間を非同期に通信し、複数命令複数データ流方式（ＭＩＭＤ）で動作させ、複数フレーム間の動画像処理を行うことを特徴とする動画像処理システム。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、情報処理装置及びシステムに係り、ニューロコンピュータを始め、並列計算機、物理シミュレーションシステム、ワークステーション、ロボットの制御システム等、非常に幅広く利用することができるものである。

【０００２】

【従来の技術】従来の並列計算機の実現方法で粒度の小さい方法の代表として、コネクションマシーンがある。コネクションマシーンでは、一つのプロセッサ要素は１ビットの演算器と４Ｋビットメモリから構成されており、最も粒度を細かくしている。システム全体は単一命令で制御される単一命令複数データ流方式（ＳＩＭＤ（シングルインストラクション・マルチデータストリーム）方式）で行っている。１チップ（集積回路）に１６個のプロセッサ要素を集積し、各チップは２進１２－キューブ網で相互結合されている。全てのプロセッサ要素数は６５５３６（2^{16}）個である。コネクションマシーンは人工知能用または画像処理用計算機として、非常に高性能なものとなっている。また、コネクションマシーン上でニューラルネットワークをシミュレーションする報告がある。しかしながら、一般のニューラルモデルは複数ビットのデータ同士の乗算と加算の計算を繰り返すものが多く、１ビット演算器まで粒度を細かくしており、複数ビットの演算のためのオーバーヘッドがあり、これらの問題に対して、それほどの高速演算性能を期待できない。

【０００３】また、ニューラルネットを高速に演算及び学習させる方法として、本願発明者らによる”高速学習

6

型ニューロＷＳＩのシステム設計”、1990年10月25日電子情報通信学会、CPSY90-71, ICD90-127、及び特開平３－２０６５４９号公報等がある。これらは、複数のニューロンプロセッサをバスにより相互接続し、順次ニューロンプロセッサがそのニューロンの出力をバスにより、ブロードキャストすることにより、通信を行う。一般のニューラルモデルはニューロン間の結合が非常に多いので、このような単純な結合方法でも高速演算が可能である。通信のためのハードウェア量が少なく、時間的なオーバーヘッドが少ないため、非常にコンパクトにすることができる。また、ニューラルネットの欠陥に対する強さを利用して、複数の大面積集積回路のウェハスケール集積回路（ＷＳＩ）により構成し、さらにコンパクトにしている。しかし、欠陥に弱い制御回路については大面積集積回路上に搭載していない。

【０００４】また、ニューロン間の結合が疎な場合に効率よく、ブロードキャスト通信を行う方法として、USP 4,796,199が提案されている。ニューロンプロセッサを、ファミリー、グループ、コネクションといった階層的なまとまりに分け、各階層ごとにブロードキャスト通信を行うものである。ニューラルネットをモジュール化し、モジュールごとに効率的に学習させる場合モジュール間はモジュール内に比べ、通信量が少ないはずなので、そのような場合に高速に演算及び学習を行うことができる。しかし、その制御方法に関しては提案されていない。

【０００５】一方、複数命令複数データ流方式（ＭＩＭＤ（マルチインストラクション・マルチデータストリーム）方式）として、Ｎキューブ２がある。Ｎキューブ２では、各プロセッサエレメントは独自に稼働し、各エレメント間はハイパーキューブトポロジーで結合されている。最大構成で８１９２（2^{13}）個を設置面積４m^2に実現している。

【０００６】

【発明が解決しようとする課題】ＳＩＭＤマシーンでは、条件付き命令で若干の異なる動作を行うことができる。しかし、条件付き命令を複雑に分岐させれば、より複雑な動作が可能となるが、その場合、各プロセッサの命令デコーダが複雑化していく。その最終的な形がＭＩＭＤマシーンと考えることもできる。

【０００７】ＳＩＭＤマシーン上で、モジュール化されたニューラルネットをシミュレーションする場合、各モジュールごとに大幅に異なるモデルを並列に実行することはできない。またＭＩＭＤマシーンを利用する場合、同一のモジュール内のニューロンモデルを計算するにもかかわらず、それらのプロセッサエレメントは同一の命令セットが保持され、それらの制御回路は同一命令をデコードすることになり、外部から見た場合、非常に冗長な動作となる。また、１プロセッサエレメントのハードウェア量もＳＩＭＤマシーンのものに比べ大きいため、

一定面積あたりのプロセッサ数は少なくなってしまう。

【０００８】また、ニューラルネットの欠陥に対する強さを利用して、ニューロンモデルを計算する複数のニューロンプロセッサを１つの大面積集積回路上に搭載できるが、その制御回路は欠陥に弱いため、同一の大面積集積回路に搭載すると、歩留りが低下してしまうという問題があった。そのため、演算部と制御部は別の集積回路にする必要があった。

【０００９】本発明の目的は、演算を行う機能ブロックを多数備えて、並列演算を行う情報処理装置をコンパクトに提供することにある。

【００１０】本発明に他の目的は、演算を行う機能ブロックを多数備えて、並列演算を行う情報処理装置を更に複数個設け、超並列演算を行う情報処理システムを構築するにあたり、分散処理と論理演算を有効に行うことにある。

【００１１】本発明の他の目的は、特に、ニューラルモデルの計算を高速に行うのに適した情報処理装置及びシステムを提供するにある。

【００１２】

【課題を解決するための手段】本発明では、演算を行う機能ブロック（内積演算を高速に行えるものであって、例えば10^4個程度）とこれを制御する制御系を１つのモジュールとする。モジュール内ではＳＩＭＤ方式により動作を行う。さらに複数個のモジュール（例えば１００個程度）を接続し通信を可能とする。複数個のモジュールは、異なる命令セットであるＭＩＭＤ方式により動作を行う。

【００１３】また、ニューロンプロセッサ及びメモリなどの欠陥に対して強い部分は大面積集積回路上に集積し、欠陥に対して弱い制御部は、例えばシリコン・オン・シリコン（Ｓｉ　ｏｎ　Ｓｉ）技術により、大面積集積回路上に制御部の集積回路を接続する。

【００１４】

【作用】本発明によれば、モジュール化されたニューラルネットの学習及び動作を高速に行うことができる。各モジュールごと並列に学習が可能なため、高速な学習及び動作が可能である。プロセッサ数も、ＳＩＭＤ方式と同程度の実装密度とすることができ、モジュールごとに異なる命令セットにより動作させることが可能である。

【００１５】また、本発明によれば、大規模の情報処理システムを非常にコンパクトに作ることができる。

【００１６】

【実施例】実施例を用いて、具体的な構成について説明する。まず、その構成の概略について以下に説明する。

【００１７】10^4個の機能ブロックである演算ブロック（内積演算を高速に行えるもの）を、例えば１０cm角のウェハスケール集積回路（ＷＳＩ）に集積し、かつ、スカラープロセッサ及びＡ／Ｄコンバータをシリコン・オン・シリコン技術で搭載し、１つのモジュールとする。アナログディジタル（Ａ／Ｄ）コンバータにより、センサなどからのアナログ信号を入力することができる。このモジュール上には、スカラープロセッサのワーキングメモリも設け、これに10^4個の演算ブロックへの命令セットを記憶させておく。スカラープロセッサはワーキングメモリ及び各演算ブロックの出力、各演算ブロック内のローカルメモリをランダムにアクセスできる。また、各演算ブロックへの命令発行の管理も行う。各演算ブロックはモジュール内部のデータバスにより接続され、ブロードキャストを相互に高速に行える。１００個のモジュール間は１００ワードのモジュール間バスにより接続する。各モジュールには１００個の10^4ワードの通信用バッファを持ち、モジュール間バスの各チャネルと一つづつ接続する。各モジュール内の内部データバスに出力された演算ブロックの出力は順次モジュール間バスを通し、全てのモジュール通信用バッファに書き込む。各モジュールでは、通信用バッファを読みだすことにより、外部モジュール上の演算ブロックの出力を知ることができる。書き込みタイミングはデータの転送側が発生することにより、モジュール間通信は非同期で行うことができる。

【００１８】また、全モジュール内のワーキングメモリ、ローカルメモリをメモリ空間上に見ることができるスカラープロセッサを設ける。

【００１９】以上の本発明の構成を図１～８を用いて以下に説明する。まず、図面を説明する。その後、図面を用いて動作について説明する。

【００２０】図１に全体の構成図を示す。ここで、１～１２８はモジュール、１３０はモジュール間バス、１４０はモジュール入力バス、１５０はモジュール出力バス、１４１はグローバルプロセッサ、１４２はグローバルメモリを示す。グローバルメモリ１４２はグローバルプロセッサ１４１と接続し、グローバルプロセッサ１４１及びモジュール１～１２８は、モジュール入力バス１４０及びモジュール出力バス１５０を介して、モジュール間バス１３０により、相互に接続する。

【００２１】図２はモジュール１～１２８のモジュールの構成を示す図である。２００はモジュールでモジュール１～１２８と同じものである。２０１はローカルプロセッサ、２０２はワーキングメモリ２０３はアナログ－ディジタル（Ａ／Ｄ）変換器、２０４はニューロンプロセッサ、２０９はモジュール入力バッファを示す。２１０～３２８はモジュール入力バスで、それぞれグローバルプロセッサ１４１、モジュール１～１２８の信号を入力する。３２９はモジュール出力バスで、３３０は通信ユニットでモジュール入力バス２１１～３２８のそれぞれと接続する。４００はモジュール内部バスを示す。ローカルプロセッサ２０１及びＡ／Ｄ変換器２０３は、シリコン（Ｓｉ）基板上にシリコン基板をハンダバンプ等により直接接続する従来技術のシリコン・オン・シリコ

ン技術により、モジュール２００上に接続することができる。ワーキングメモリ２０２とモジュール内部バス４００はローカルプロセッサ２０１と接続する。モジュール２００内のニューロンプロセッサ２０４及びA／D変換器２０３、通信ユニット３３０、モジュール入力バッファ２０９はモジュール内部バス４００により相互接続する。モジュール入力バッファ２０９はモジュール入力バス２１０よりグローバルプロセッサ１４１からの信号を取り込み、モジュール内部バス４００へ出力することができる。ニューロンプロセッサ２０４間は相互にモジュール内部バス４００を使ってブロードキャストを行なうことにより通信することができる。２１１～３２８はモジュール入力バスでそれぞれモジュール１～１２８の出力信号を入力し、１２８個の通信ユニット３３０にそれぞれ取り込む。通信ユニット３３０に取り込まれた値は、ニューロンプロセッサ２０４と同様に、モジュール内部バス４００を利用して、ブロードキャスト通信を行うことができる。モジュール内部バス４００にブロードキャストされる値はモジュール出力バス３２９を介して、モジュール間バス１３０へ出力できる。

【００２２】本発明をよりコンパクトにするために、ニューロンプロセッサ２０４及びワーキングメモリ２０２等の欠陥に対して強いブロックは１つの大面積集積回路６０１上に搭載する。そして、欠陥に対して弱い制御部、本図ではローカルプロセッサ２０１、A／D変換器２０３はシリコンオンシリコン技術で大面積集積回路６０１と接続する。

【００２３】図３はニューロンプロセッサ２０４の構成を示す図である。また、ニューロンプロセッサ２０４の動作を制御する命令であるニューロン命令４６０も示す。ここで、４０１はモジュール内部入力バス、４０２はモジュール内部出力バスで、４７０は命令バスで、図２のモジュール内部バス４００に対応する。４０３はAバス、４０４はBバス、４０５はCバス、４１１～４１３はフリップフロップ（ＦＦ）、４２１はワーキングレジスタ、４２２は乗算器、４２３はＡＬＵ、４２４はシフタ、４２５～４２６はレジスタファイル、４２７は重み値メモリ、４２８はトライステートバッファ、４５１～４５５は２－１または３－１のセレクタである。Aバス４０３及びBバス４０４は乗算器４２２の入力信号である。ＡＬＵ４２３はセレクタ４５１とセレクタ４５２を入力し、セレクタ４５１はＦＦ４１１またはAバス４０３を選択し、ＡＬＵ４２３の一方の入力とする。セレクタ４５２はBバス４０４または乗算器４２２を選択し、ＡＬＵ４２３のもう一方の入力とする。セレクタ４５３はＡＬＵ４２３または乗算器４２２を選択し、Cバス４０５に出力する。ＦＦ４１１はCバス４０５の値を取り込むことができる。また、ＦＦ４１１はニューロン命令４６０によって、リセットすることができる。ワーキングレジスタ４２１及びレジスタファイル４２５～４２６、重み値メモリ４２７はCバス４０５の値を取り込むことができる。セレクタ４５５はCバス４０５及びレジスタファイル４２５～４２６を選択し、トライステートバッファ４２８へ出力する。トライステートバッファ４２８の出力端子は、モジュール内部出力バス４０２へ接続し、その制御はニューロン命令４６０のニューロンプロセッサセレクト信号により行なう。これらの制御は、すべて命令バス４７０より送られるニューロン命令４６０により行う。

【００２４】図４は図２の通信ユニット３３０の実施例の詳細を示す図である。ここで、５０１はバッファアレイ、５０２はバッファアレイ５０１の書き込みアドレスポインタ、５０３は１インクリメンタで、アドレスポインタ５０２の値を１づつ進める。５０４は読みだし用のセレクタで読みだしアドレス５０５により選択されたバッファアレイ５０１の値をモジュール内部出力バス４０２へ出力する。読みだしアドレス５０５は命令バス４７０より入力する。

【００２５】図５は図２のローカルプロセッサ２０１から見たメモリ空間を示す図で、５５２はそのメモリ空間である。ここで、５５０はアドレス変換回路で、ローカルプロセッサ２０１からのアクセス要求に対し、物理的なアドレスに変換する。また、モジュール上のメモリの欠陥をさけ、リニア空間に見えるようにする。ローカルプロセッサ２０１からは、モジュール２００上のワーキングメモリ２０２、レジスタファイル４２５～４２６、重み値メモリ４２７は同一メモリ空間上のデータとして見ることができる。また、ワーキングメモリ２０２上には、ニューロン命令４６０のセットを保持しておき、ローカルプロセッサ２０４はニューロン命令４６０を順次読みだし、ニューロンプロセッサ２０４へ送り、その動作を制御する。

【００２６】図６は、モジュール２００内において複数のニューロンプロセッサ２０４を並列演算させる場合を示す図である。本図に示すように、モジュール内部バス４００はモジュール内部入力バス４０１とモジュール内部出力バス４０２と命令バス４７０で構成する。各ニューロンプロセッサ２０４は命令バス４７０により、ローカルプロセッサ２０１から送られるニューロン命令４６０を入力する。各ニューロンプロセッサ２０４はモジュール内部入力バス４０１とモジュール内部出力バス４０２と接続する。ニューロン命令４６０により、指定されたニューロンプロセッサ２０４はモジュール内部出力バス４０２にその出力を出力し、モジュール内部入力バス４０１を通して、各ニューロンプロセッサ２０４へ送る。各ニューロンプロセッサ２０４はニューロン命令４６０に従い、受け取ったデータを使って演算することができる。

【００２７】図７は図１のグローバルプロセッサ１４１から見たメモリ空間を示す図で、６０２はそのメモリ空

間である。グローバルプロセッサ１４１からは、さらに図５のローカルプロセッサ２０１から見たメモリ空間５５２の各々が連続したメモリ空間に見ることができる。図５及び図６の構成とすることにより、ローカルプロセッサ２０１及びグローバルプロセッサ１４１は非常に大きなメモリ空間を持つスカラープロセッサとして動作することが可能であり、かつ、内積演算などのニューロン的な動作も、そのメモリ空間上で行うことができる。

【００２８】これまでは、このような並列計算機はホストコンピュータと接続され、ホストコンピュータ上でデータを加工したり、作成したりした後、並列計算機側へデータ及びプログラムをロードして、行わなければならなかった。本発明では、全く同一メモリ空間上でスカラ＊

$$\tau \, du_i/dt = -u_i + \Sigma w_{ij} x_j + I_i \quad (1)$$

$$x_i = f(u_i) \quad (2)$$

で表せる。ここで、Ｉはいわゆる定電流源であるが、一般には、常に、その最大値を出力するニューロンを設け、それに対して重み付けしてシナプス結合すること　※

$$f(u_i) = 1/(1-\exp(-u_i/T)) \quad (3)$$

などの、飽和関数が用いられる。

【００３３】１～３式をディジタル表現で計算する場合、１式を時間刻み幅Δｔで差分化する。すべてのニューロンの内部エネルギー及び出力をそれぞれベクトル　★

$$u_{t+1} = u_t - \Delta t/\tau \, (W x_t - u_t) \quad (4)$$

$$x_{t+1} = f(u_{t+1}) \quad (5)$$

の計算を各時間ごとに行なえばよい。４～５式をモジュール２００上で行なう方法を以下に示す。

【００３４】図１０は４式のＷｘｔを行なう場合のニューロンプロセッサ２０４の各演算回路及びメモリ、ＦＦの接続方法を示した図である。これらの接続はニューロン命令４６０により設定することができる。各ニューロンプロセッサ２０４を各ニューロンに対応させる。各ニューロンプロセッサ２０４では、乗算器４２２はモジュール内部入力バス４０１と重み値メモリ４２７を入力する。ＡＬＵ４２２は乗算器４２２とＦＦ４１１を入力し、その加算結果をＦＦ４１１に書き込む。ローカルプロセッサ２０１は順次、ニューロンプロセッサ２０４を選択し、選択されたニューロンプロセッサ２０４はその出力ｘｔをモジュール内部出力バス４０２に出力する。　☆

$$x_{t+1} = \alpha_0 + \alpha_1 u_{t+1} + \alpha_3 u_{t+1}^3 + \alpha_5 u_{t+1}^5 + \alpha_7 u_{t+1}^7 + \cdots \quad (6)$$

ここでα０～α７は関数ｆによってきめる定数、などによって計算することができる。この計算も複数のニューロン命令４６０を行なうことにより可能である。

【００３５】以上に示したように、ニューロンプロセッサ２０４の動作は、ニューロン命令４６０により、自由に決めることができるため、任意のモデルを計算することができる。

【００３６】図１１、１２は２つのモジュール上で相互結合型ニューラルネットワークを実現する場合を示した図である。例えば、ニューロン１１、１２をモジュール

＊一処理及び並列処理を行うことができる。

【００２９】図８はモジュール１～１２８間の通信方法を示す図である。

【００３０】まず、各モジュール２００でニューラルモデルを演算させる場合について、説明する。

【００３１】図９は相互結合型ニューラルネットワークを１枚のモジュール２００上で実現する場合を示した図で、以下にそのふるまい及び一般的なモデル式を説明する。

【００３２】ニューロンｉの出力をｘｉ、内部エネルギーをｕｉ、ニューロンｊに対する重み値をｗｉｊとすると、各ニューロンは状態方程式、

※で、省くことができる。また、２式のｆは非線形関数が用いられ、一般には、シグモイド関数、

★ｕ、ｘで、また、すべての重み値を行列Ｗで表し、時刻ｔでのベクトルをｕｔ、ｘｔ、時刻ｔ＋１でのベクトルをｕｔ＋１、ｘｔ＋１とすると、

☆予め、ニューロンプロセッサ２０４は固有のアドレスを割りふっておき、ローカルプロセッサはそのアドレスを発生し、アドレスをデコードすることにより、上記の制御を行なうことができる。図２に示すように、各ニューロンプロセッサ２０４はｘｔをレジスタファイル４２５に保持し、セレクタ４５５、トライステートバッファ４２８を通して、出力することができる。また、４式におけるΔｔ及びτ、ｕｔをワーキングレジスタ４２１またはレジスタファイル４２５、重み値メモリ４２７に保持しておき、ＡＬＵ４２３、乗算器４２２、シフタ４２４、ワーキングレジスタ４２１を仕様して、４式を計算することができる。５式の非線形変換は、例えば、チェビシェフ近似、

１のニューロンプロセッサ２０４に割りふり、ニューロン２１、２２をモジュール２に割りふる。

【００３７】各モジュールは個別に、順次ニューロンプロセッサ２０４がモジュール内部バス４００を用いて、ブロードキャストする。それと同時に、モジュール１のモジュール内部バス４００に出力された値は、モジュール出力バス３２９を通して、モジュール間バス１３０に出力し、各モジュール２００の通信ユニット３３０へ送られる。各モジュール２００では、自分以外の各モジュール２００に対応する通信ユニット３３０を持ってお

り、それに対応するモジュール間バス１３０に接続する。各通信ユニット３３０への書き込みは送り手側のタイミングで行う。図１２では、モジュール１では通信ユニット３３０を読みだせば、モジュール２上のニューロン２１、２２の出力を読むことができる。同様に、モジュール１上では、モジュール２上のニューロン１１、１２の出力を通信ユニット３３０を通して、読むことができる。図４に示すように、通信ユニット３３０は、順次モジュール入力バス１４０により送られる値を書き込みアドレスポインタ５０２の差すバッファに取り込む。書き込むと同時にアドレスポインタ５０２を１インクリメンタ５０３により１つ進める。また、バッファアレイ５０１の各出力はセレクタ５０４を通して、読みだしアドレス５０５により指定してモジュール内部入力バスへ読みだすことができる。バッファアレイ５０１への書き込むタイミングはモジュール入力バス１４０によって、データと同時に送る。また、図１、図８に示すように、すべてのモジュール２００とモジュール間バス１３０を同様に接続することで、全てのニューロンプロセッサ２０４間の通信を行うことができる。また、各通信ユニット３３０への書き込みは、送り手側のタイミングで行うので、各モジュールは独自のタインミングと独自の命令セットに従い、動作することができる。

【００３８】また、モジュール間バス１３０は配線長が長く、高負荷となる可能性がある。その場合、モジュール２００の内部は高速に動作するにも係らず、モジュール間バス１３０はそのスピードに追従できない可能性がある。しかし、その場合でも、本発明はモジュール間の通信は非同期で行うことができるので、例えば、モジュール２００の内部は１００ＭＨｚで動作し、モジュール間バス１３０は５０ＭＨｚで動作するということも可能である。そのときのニューロン間の通信は、時間方向に間引いて通信すればよい。

【００３９】同様に複数のモジュール間の通信も可能であり、通信ユニット３３０のバッファアレイ５０１を各モジュールのニューロンプロセッサ２０４の個数だけ用意すれば、全ニューロンの完全結合が可能である。また、通常は、モジュール間はモジュール内に比べ、結合が少ないので、それよりは少ないバッファ数を用意しておいてもよい。

【００４０】図１３に本発明の利用例を示すが、本図に示すように、各モジュール１～１２８を個別のアルゴリズム及び個別のデータにより、学習及び自己組織化が可能であり、また、それらは、並列に動作させることが可能である。また、図１１、１２に示したように、複数のモジュール２００を用いて、同一のモデルを動作させることも可能である。図１３では、モジュール１～２及び１２７～１２８をバックプロパゲーション(Back Propagation)により学習を行い、モジュール３を学習ベクトル量子化（Learning Vector Quantization）により学習を行い、モジュール４を競合学習により学習を行い、モジュール１２５～１２６はホップフィールド型ネットワークとして使用する場合を示している。例えば、ホップフィールド型ネットワークにより、ノイズ除去及びエッジ検出などの初期視覚を行い、その結果をバックプロパゲーションにより学習を行う階層型ネットワークに入力し、パターン認識を行うことが可能である。また、ベクトル量子化モデルにより、入力した文字画像の文字認識を行い、その結果を階層型ネットワークにより音韻データを出力し、さらに、別のネットワークにより音声を合成することが可能である。また、本図に示していないモジュールにおいても、同様に、利用することができる。

【００４１】図１４の本発明の利用例には、機能的な表現で動作を表わしている。ロボットの頭脳として、利用する場合を示している。10^6程度のプロセッサ数では、到底ロボットの頭脳をすべて作ることはできないが、その一部の動作を行うことができる。例えば、モジュール１により、入力した画像の特徴検出等を行い、モジュール３の画像の記憶と比較する。また、入力した音声信号をモジュール２、４により認識する。画像認識結果、音声認識結果または両結果の総合した結果に対して、モジュール１２７が動作パターンを発生する。モジュール１２５には動作パターンを記憶させておく。モジュール１２８を使って、動作パターンから実際のロボットの関節を動かす信号へ変換する。また、ロボットが行動した結果をモジュール１２６により評価し、よりスムーズな動作パターンを学習して行くことができる。

【００４２】また、本発明によれば、10^6以上のプロセッサ数からなるシステムも同様に可能である。図２に示すように、各モジュールには、ローカルプロセッサ２０１を搭載するので、これにより、従来のＡＩ（人工知能）技術にある記号処理や定性推論を行うことも可能である。また、ニューロンプロセッサを利用して、ファジー理論のメンバーシップ関数を決定し、ローカルプロセッサ２０１またはグローバルプロセッサ１４１により、ファジー理論による判断決定を行うこともできる。あるモジュールでは、ニューロンモデルによる情報処理を行い、別のモジュールでは、ファジー理論による情報処理を並列に行うことも可能である。

【００４３】次に本発明の実装方法、組立て方法及び冷却方法について、図１５～１８を用いて説明する。

【００４４】図１５はモジュール２００のシリコン・オン・シリコンを説明する図である。６０１は大面積集積回路、６０２は集積回路を示す。６０３は大面積集積回路６０１と集積回路６０２を接続するハンダのバンプである。６０５はバンプ６０３を接続するパッドである。本図に示すように、集積回路６０２と大面積集積回路６０１の接続する信号線及び電源給電のパッドを向い合わせバンプを介して、固定及び信号線の接続を行うことができる。

15

【００４５】図１６はボードと図１５の大面積集積回路６０１の接続方法を説明する図である。６０５はパッド、６０６はコネクタで別のボードと接続するためにある。６１０は接続用ピンで別のボード６０６と接続し、スタックすることができる。図１５で示したシリコンとシリコンの接続方法と同様に、ボード上のパッド６０５と大面積集積回路６０１上のパッド６０５を向い合わせ、バンプ６０３により接続することができる。

【００４６】図１７はボード間の接続方法及び組立て方法を示す図である。本図で、８００は接続ボードで、８０１はボードを示す。８０５、８２０はコネクタを示す。ボード８０１上には、グローバルプロセッサ１４１とグローバルメモリ１４２を載せる。本図では、４枚のボード６０６をスタック状に接続したものを示した図であるが、さらに、多くのボードも同様に接続することができる。ボード６０６は接続用ピン６１０で接続し、さらに、４辺に接続ボード８００を接続する。ボード６０６のコネクタ６０７と接続ボード８００のコネクタ８０５をそれぞれ対応させて接続する。さらに、接続ボード８００のコネクタ８２０とボード８０１のコネクタ８０５をそれぞれ対応させて接続する。

【００４７】次に各集積回路の冷却方法について説明する。図１７の構成では、各ボード間の信号線を４辺を使ってボード間接続を行うので、非常に多くのボード間接続を行うことができる。しかし、図１７からわかるように、内部が密閉されるため、動作中高温となる可能性がある。その場合は、図１８に示す方法により、集積回路を冷却することができる。本図で、９０１は冷却水、９１０は冷却板を示す。ボード６０６間を接続する接続用ピン６１０を冷却水９０１の通路とする。各ボード６０＊

$$Ax=b$$

を解くことになる。ここで、Ａはｎ×ｎの行列、ｂはｎ次ベクトル、ｘは求めるべき未知数であるｎ次ベクトルである。ｎは求める系の次元である。６式の方程式の解法として、いくつかの方法があるが、ここでは、線形緩※

$$A=L+D+U$$

ある初期値x_0により以下の反復式、

$$x_{k+1}=1/D\ (b-(L+U)\ x_k)$$

を反復して収束すれば、その値が解となる。８式を本発明に解く場合、各ニューロンプロセッサ２０４にベクトルｘの各要素を計算させる。各ニューロンプロセッサ２０４の重み値メモリ４２７には、行列Ａの各行要素を格納する。対角要素だけは，予め逆数を求めておき、ワーキングレジスタ４２１に格納しておいてもよい。また、ベクトルｂの要素もワーキングレジスタ４２１または重み値メモリ４２７のいずれかに格納しておけばよい。前回の反復結果x_kはレジスタファイル４２５に格納しておく。ローカルプロセッサ２０１は順次、各ニューロンプロセッサ２０４を指定し、前回の反復結果x_kをモジュール内部バス４００にブロードキャストしていく、各

16

＊６では、接続用ピン６１０から冷却水９０１を大面積回路６０１に接続する冷却板９１０に引き込む。使用された冷却水９０１は反対側の接続用ピン６１０に戻す。このようにして、密閉された内部の集積回路を冷却させることができる。

【００４８】次に図１９を用いて、大面積集積回路を高速に動作させるために、必要なクロックのスキューを低減するための、クロック給電方法を説明する。図２に示すような大面積の集積回路で同期した動作を行うには、信号遅延のため大きなクロックスキューが生じ、高速動作させるのは難しい。そのような場合、図１９に示すように、外部から入力したクロック信号をまず、大面積集積回路中央へ引き込む、さらに、中心から端辺までの半分の位置、さらに半分の位置とクロック信号線引き回し、大面積集積回路内のどの位置でも、等長に近く配線することができる。そのため、大面積集積回路内のクロックスキューを低減することができる。

【００４９】以上の接続方法、組立て方法及び冷却方法により、図１の構成を実現することができる。

【００５０】以上は本発明上でニューラルネットモデルを高速に演算させる場合について説明した。次に、他の情報処理を行う場合の実施例を示す。

【００５１】一般的に、物理現象は、微分方程式により表わされ、それを解くことにより、計算機上でシミュレーションを行っている場合が多い。これらの方程式は、積分公式や差分方程式化により、各時間ステップごとの非線形方程式に表わし、さらに、ニュートン・ラプソン法等により非線形方程式の解を求め、各時間ごとの状態を決定する。また、ニュートンン・ラプソン法の各反復ステップでは、線形化された連立方程式、

（６）

※和法による場合について説明する。線形緩和法の一つとして、ヤコビ法がある。ヤコビ法では、行列Ａを下三角成分Ｌと対角成分Ｄと上三角成分Ｕに分ける。

【００５２】

（７）

（８）

ニューロンプロセッサ２０４では、８式の（Ｌ＋Ｕ）x_kに対応する行列Ａの要素を重み値メモリ４２７から読みだし、乗算器４２２により乗算を行い、ＡＬＵ４２３とＦＦ４１１を使用して、順次累積加算することにより計算することができる。一通りブロードキャストが終了すれば、８式の（Ｌ＋Ｕ）x_kの計算結果がわかり、さらに、８式の他の計算を行い、最後に対角成分の逆数を掛けることにより、この回の反復結果x_{k+1}を決めることができる。その結果は、レジスタファイル４２５に書き込み、次の反復に進む。ある程度反復回数が進んだところで、収束判定を行い、収束していれば、６式が解けたことになる。また、複数のモジュール２００を用い

て、大規模な方程式に対しても、ニューラルネットモデル同様に、計算することができる。

【００５３】また、ニューラルネットモデル１～３式は、まさに連立非線形微分方程式であり、前述の計算方法は前進オイラー法により積分しているものである。このように、本発明は、ニューラルネットモデルを高速に計算するだけでなく、一般の数値シミュレーション等にも広く適応できるものである。その他、画像処理等にも、適応することができる。例えば、動画像を入力し、各フレームを各モジュールに順次ロードする。各モジュールでは、各フレームのノイズリダクション及びエッジ検出等を行う。さらに、過去のフレームの情報を通信ユニット３３０により読むことができるので、オプティカルフローなど、動画像の情報処理に必要な情報を計算することができる。

【００５４】次に、本発明をワークステーションに利用した例を図２０に示す。本図で、１１００はリスクプロセッサ、１１０１はＩ／Ｏプロセッサ、１１０２はディスクコントローラ、１１０３はグラフィックコントローラを示す。大面積集積回路６０１上にリスクプロセッサ１１００及びＩ／Ｏプロセッサ１１０１等を図１５に示したシリコンオンシリコンで接着する。リスクプロセッサ１１００は大面積集積回路６０１のワーキングメモリ２０２にオペレーティングシステム等のプログラムを保持し、その命令に従い、動作する。また、ニューロンプロセッサ２０４の出力及びローカルメモリもワーキングメモリ２０２と同様のメモリ空間として見ることができる。このような構成としたワークステーションでは、上記のニューラルネットの計算はもとより、物理シミュレーション等の数値演算などニューロンプロセッサ２０４の演算器を使って、高速に行うことができる。

【００５５】

【発明の効果】本発明によれば、非常に多くのニューロンから構成されるニューロコンピュータを実現できる。また、アプリケーションの開発もモジュール化して、システムを構築して行くことができるので、非常に効率よく行うことができる。また、ニューロコンピュータのみならず、物理シミュレーションも高速に計算することができる。ワークステーションのエンジンに利用すれば、ワークステーションのアプリケーションを広げることができる。

【図面の簡単な説明】

【図１】本発明の全体構成を示す図。

【図２】本発明の１モジュールをウェハスケール集積回路で実現した例を示す図。

【図３】ニューロンプロセッサの構成例を示した図。

【図４】モジュール間通信を行うための通信ユニットを示した図。

【図５】ローカルプロセッサのメモリ空間を説明する図。

【図６】ブロードキャストアーキテクチャを説明する図。

【図７】グローバルプロセッサのメモリ空間を説明する図。

【図８】モジュール間の通信方法を示す図。

【図９】相互結合型ニューラルネットワークを示した図。

【図１０】相互結合型ニューラルネットワークのブロードキャストアーキテクチャ上での演算方法を示す図。

【図１１】２つのモジュール上で相互結合型ニューラルネットワークを演算される例を示した図。

【図１２】２つのモジュール上で相互結合型ニューラルネットワークを演算される例を示した図。

【図１３】本発明の利用例を示す図。

【図１４】本発明をロボットの頭脳の一部に利用した例を示す図。

【図１５】シリコン・オン・シリコン技術を説明する図。

【図１６】シリコン・オン・ボード技術を説明する図。

【図１７】ボード間接続を説明する図。

【図１８】冷却方法を説明する図。

【図１９】クロック等長配線を説明する図。

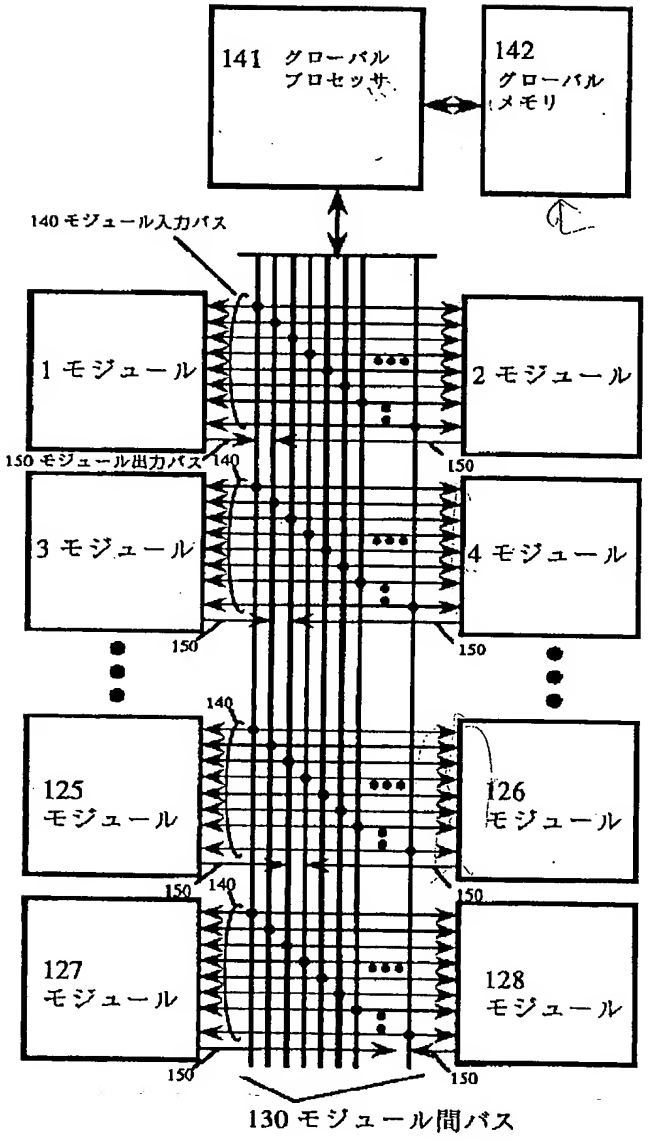
【図２０】本発明をワークステーションに利用した例を示す図。

【符号の説明】

１～１２８・・・モジュール、１３０・・・モジュール間バス、１４０・・・モジュール入力バス、１４１・・・グローバルプロセッサ、１４２・・・グローバルメモリ、１５０・・・モジュール出力バス、２００・・・モジュール、２０１・・・ローカルプロセッサ、２０２・・・ワーキングメモリ、２０３・・・Ａ／Ｄ（アナログデジタル）変換器、２０４・・・ニューロンプロセッサ、２０９・・・モジュール入力バッファ、２１０～３２８・・・モジュール入力バス、３２９・・・モジュール出力バス、３３０・・・通信ユニット、４００・・・モジュール内部バス、６０１・・・大面積集積回路。

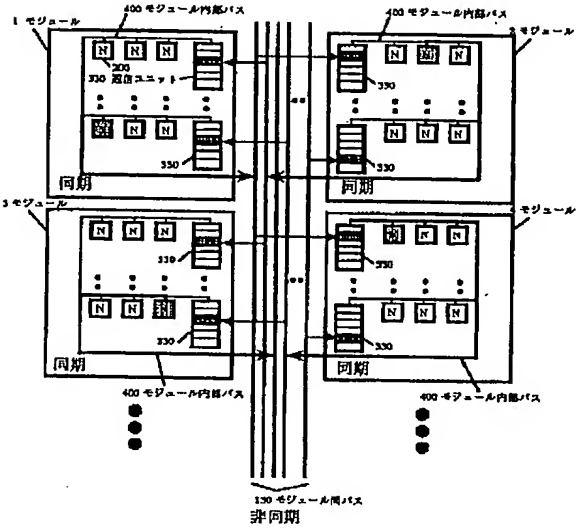
【図１】

図１



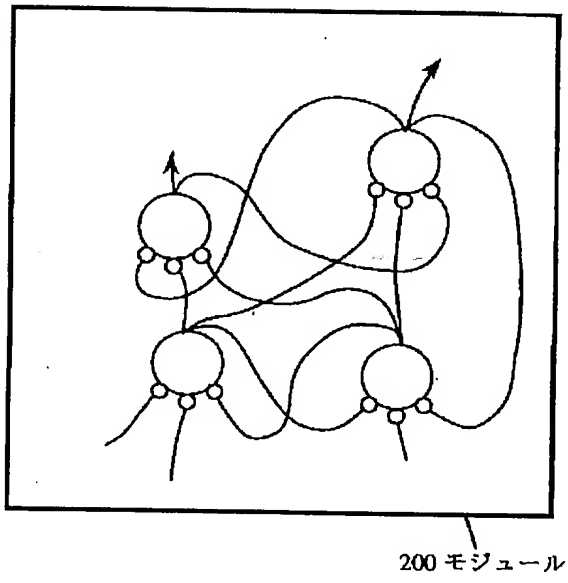
【図８】

図８



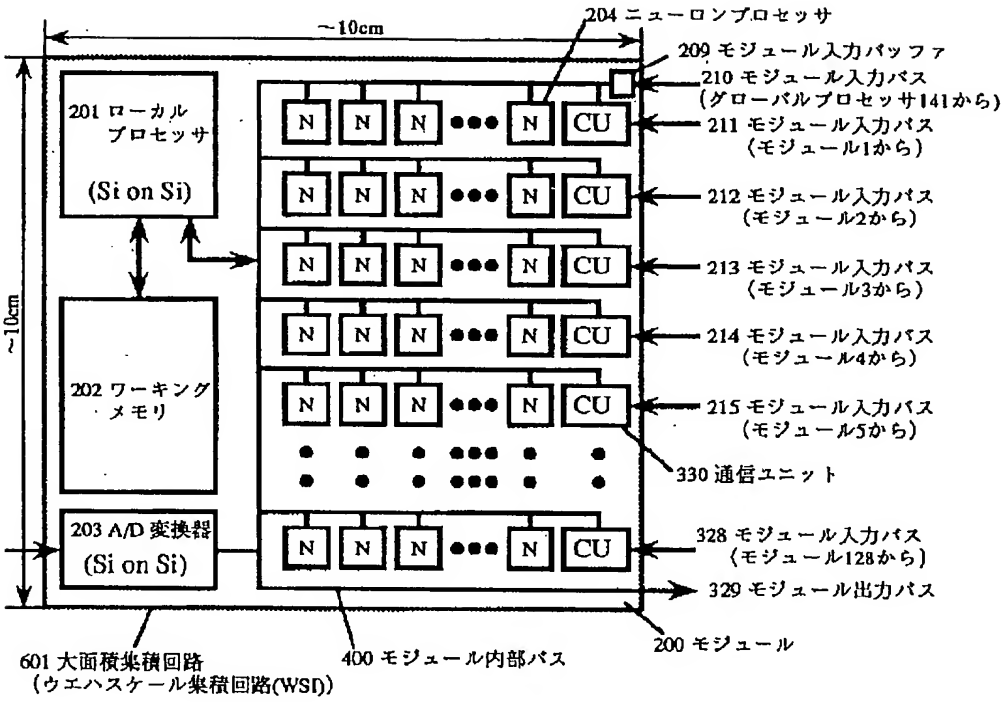
【図９】

図９



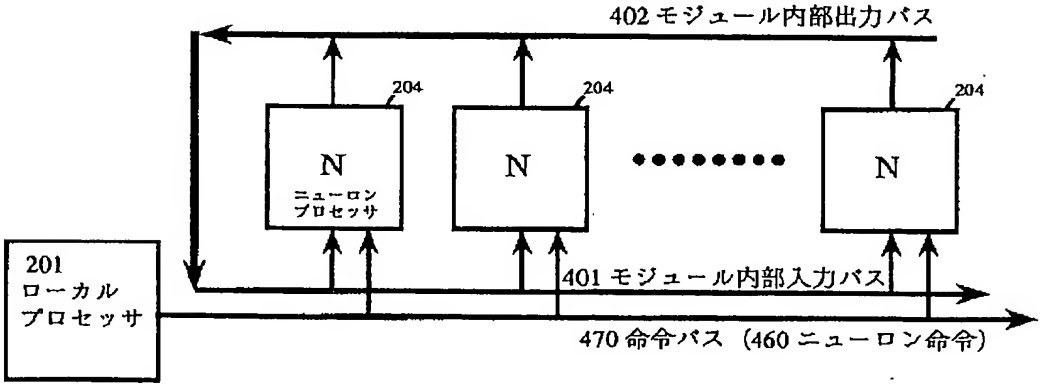
【図２】

図２


~10cm
204 ニューロンプロセッサ
209 モジュール入力バッファ
210 モジュール入力バス
(グローバルプロセッサ141から)
211 モジュール入力バス
(モジュール1から)
212 モジュール入力バス
(モジュール2から)
213 モジュール入力バス
(モジュール3から)
214 モジュール入力バス
(モジュール4から)
215 モジュール入力バス
(モジュール5から)
330 通信ユニット
328 モジュール入力バス
(モジュール128から)
329 モジュール出力バス
200 モジュール
201 ローカル
プロセッサ
(Si on Si)
202 ワーキング
メモリ
203 A/D 変換器
(Si on Si)
~10cm
N
CU
601 大面積集積回路
(ウエハスケール集積回路(WSI))
400 モジュール内部バス

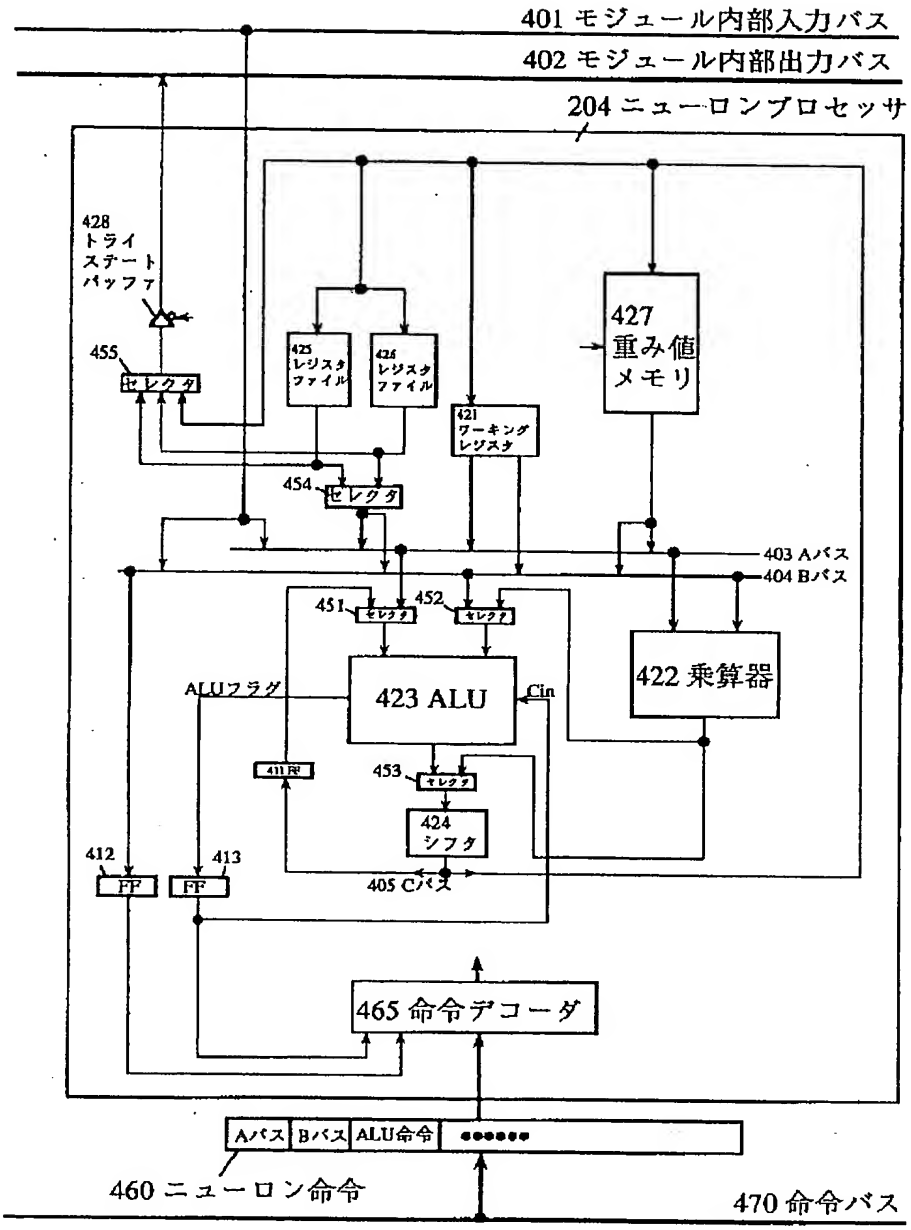
【図６】

図6


402 モジュール内部出力バス
204
N
ニューロン
プロセッサ
401 モジュール内部入力バス
201
ローカル
プロセッサ
470 命令バス (460 ニューロン命令)

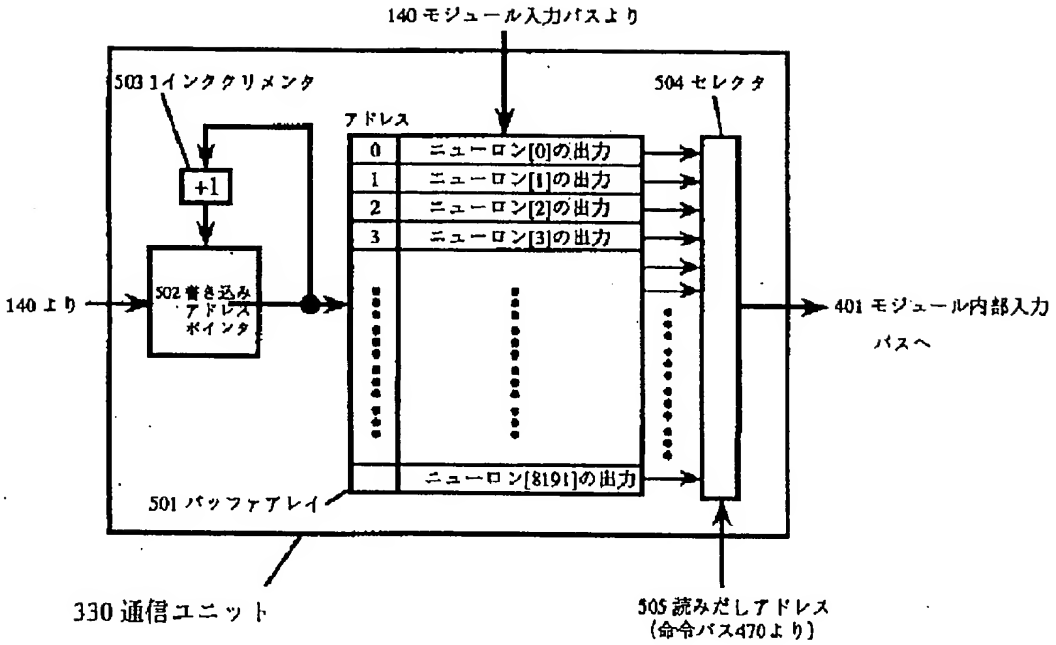
【図３】

図３


401 モジュール内部入力バス
402 モジュール内部出力バス
204 ニューロンプロセッサ
428 トライステートバッファ
455 セレクタ
425 レジスタファイル
426 レジスタファイル
427 重み値メモリ
421 ワーキングレジスタ
454 セレクタ
403 Aバス
404 Bバス
451 セレクタ
452 セレクタ
422 乗算器
ALUフラグ
423 ALU
Cin
411 FF
453 セレクタ
424 シフタ
412
413
FF
FF
405 Cバス
465 命令デコーダ
Aバス
Bバス
ALU命令
460 ニューロン命令
470 命令バス

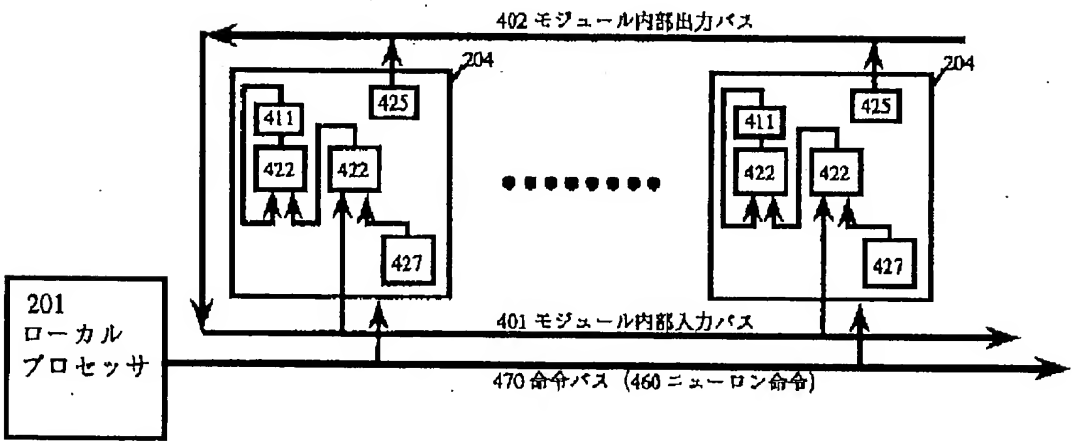
【図４】

図４


140 モジュール入力バスより
503 1インクリメンタ
504 セレクタ
アドレス
+1
0
1
2
3
ニューロン[0]の出力
ニューロン[1]の出力
ニューロン[2]の出力
ニューロン[3]の出力
140 より
502 書き込みアドレスポインタ
401 モジュール内部入力バスへ
ニューロン[8191]の出力
501 バッファアレイ
330 通信ユニット
505 読みだしアドレス
(命令バス470より)

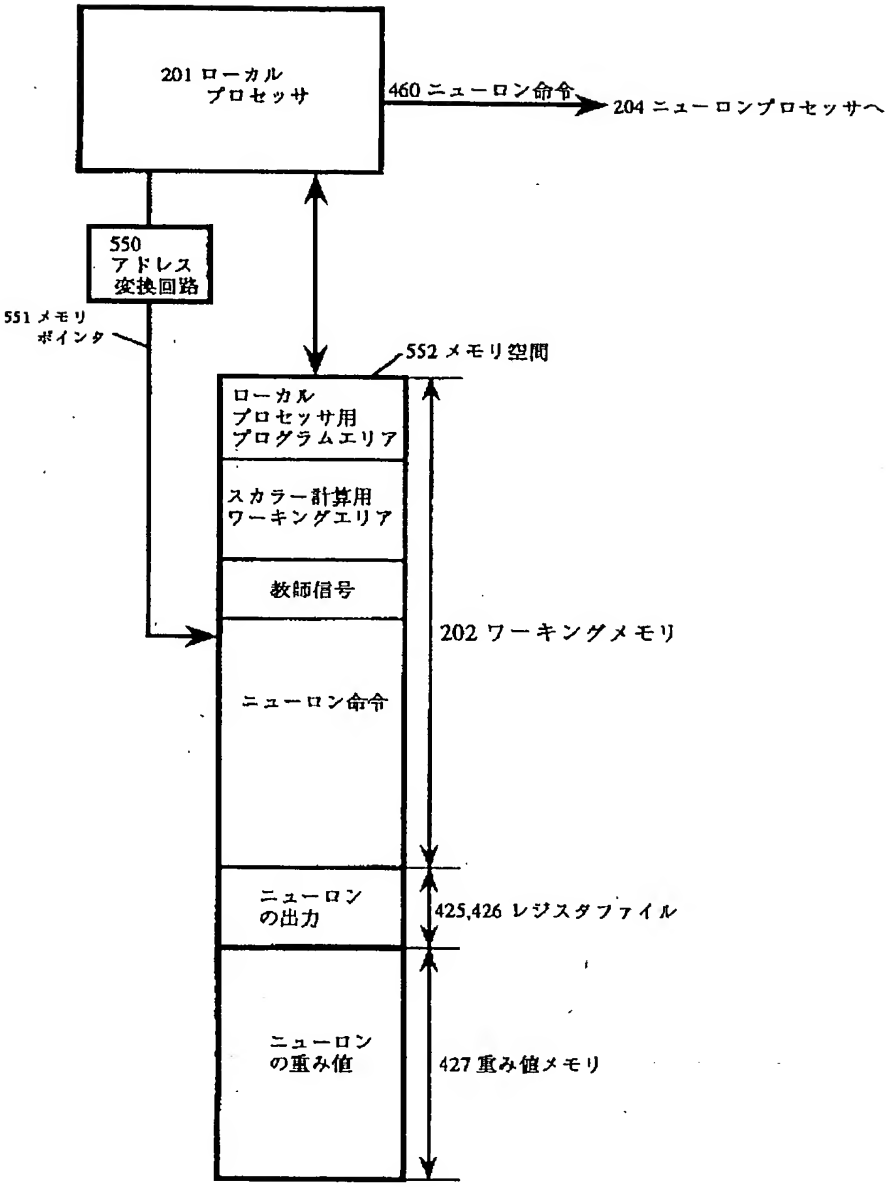
【図１０】

図10


402 モジュール内部出力バス
204
204
425
411
422
422
427
425
411
422
422
427
201
ローカル
プロセッサ
401 モジュール内部入力バス
470 命令バス (460 ニューロン命令)

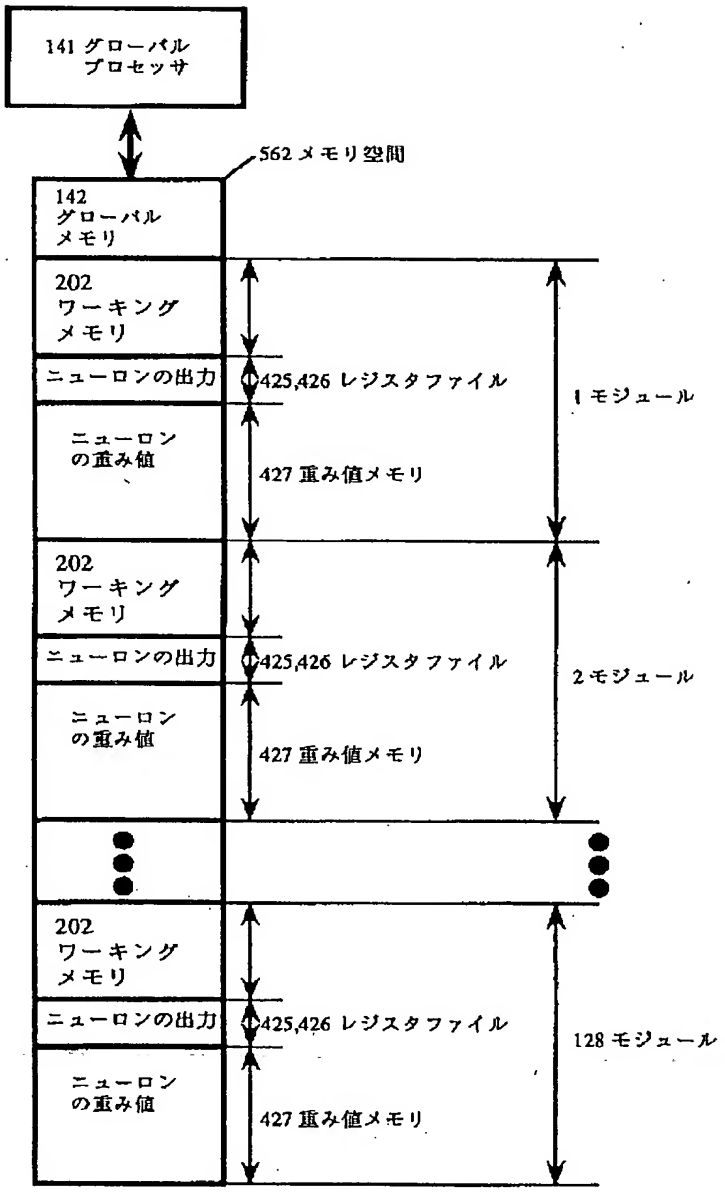
【図５】

図５


201 ローカル
プロセッサ
460 ニューロン命令
204 ニューロンプロセッサへ
550
アドレス
変換回路
551 メモリ
ポインタ
552 メモリ空間
ローカル
プロセッサ用
プログラムエリア
スカラー計算用
ワーキングエリア
教師信号
ニューロン命令
202 ワーキングメモリ
ニューロン
の出力
425,426 レジスタファイル
ニューロン
の重み値
427 重み値メモリ

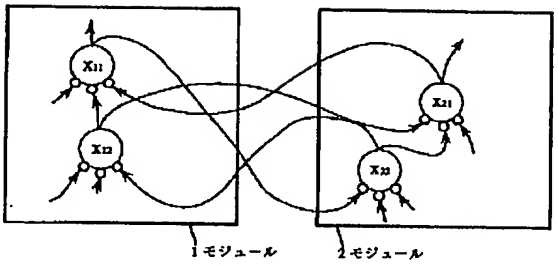
【図７】

図7


141 グローバル
プロセッサ
562 メモリ空間
142
グローバル
メモリ
202
ワーキング
メモリ
ニューロンの出力
425,426 レジスタファイル
ニューロン
の重み値
427 重み値メモリ
1 モジュール
202
ワーキング
メモリ
ニューロンの出力
425,426 レジスタファイル
ニューロン
の重み値
427 重み値メモリ
2 モジュール
202
ワーキング
メモリ
ニューロンの出力
425,426 レジスタファイル
ニューロン
の重み値
427 重み値メモリ
128 モジュール

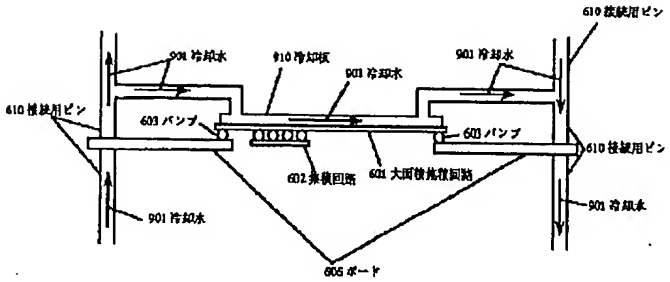
【図１１】

図11



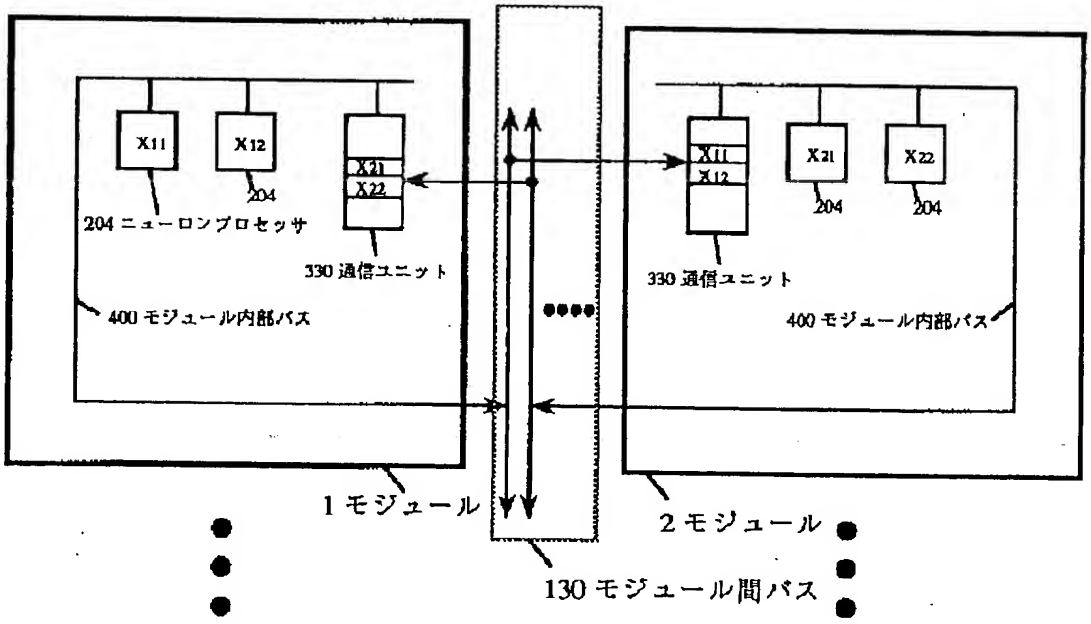
【図１８】

図18



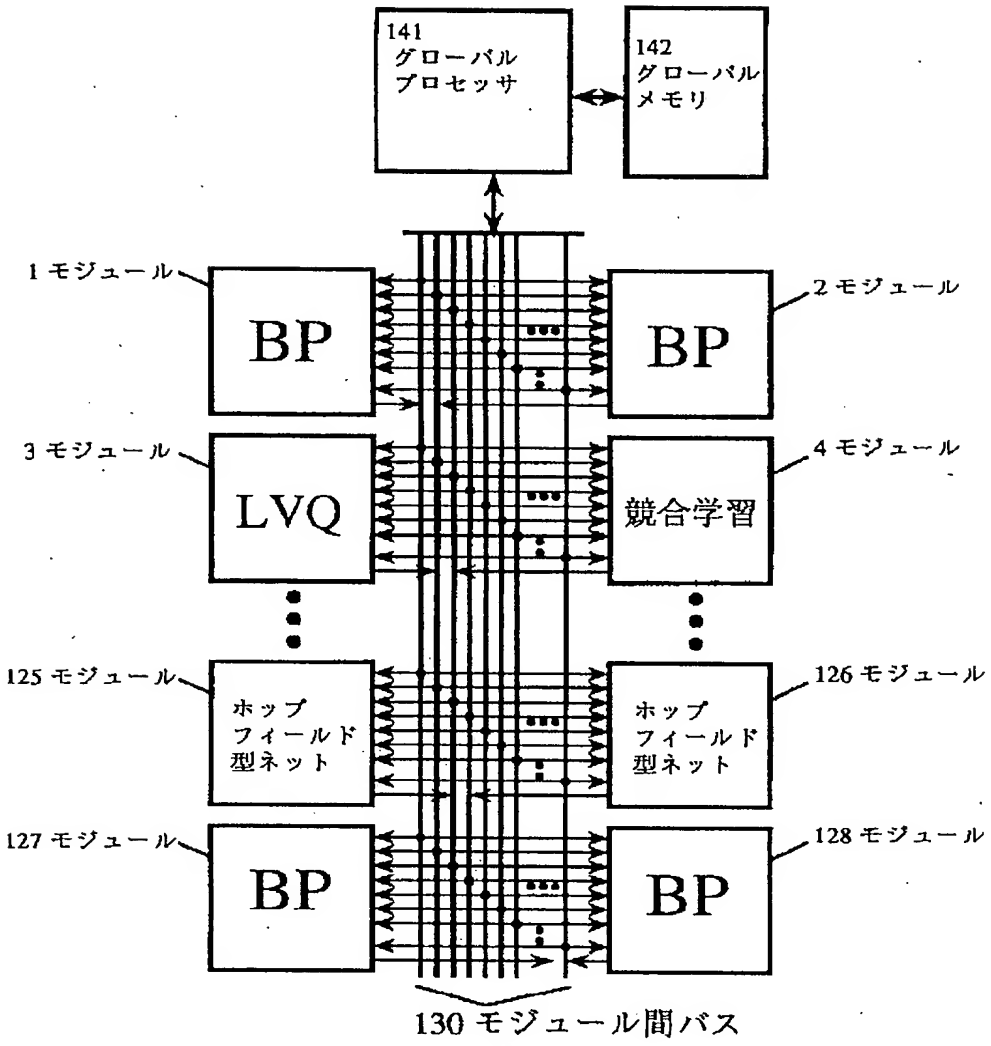
【図１２】

図12



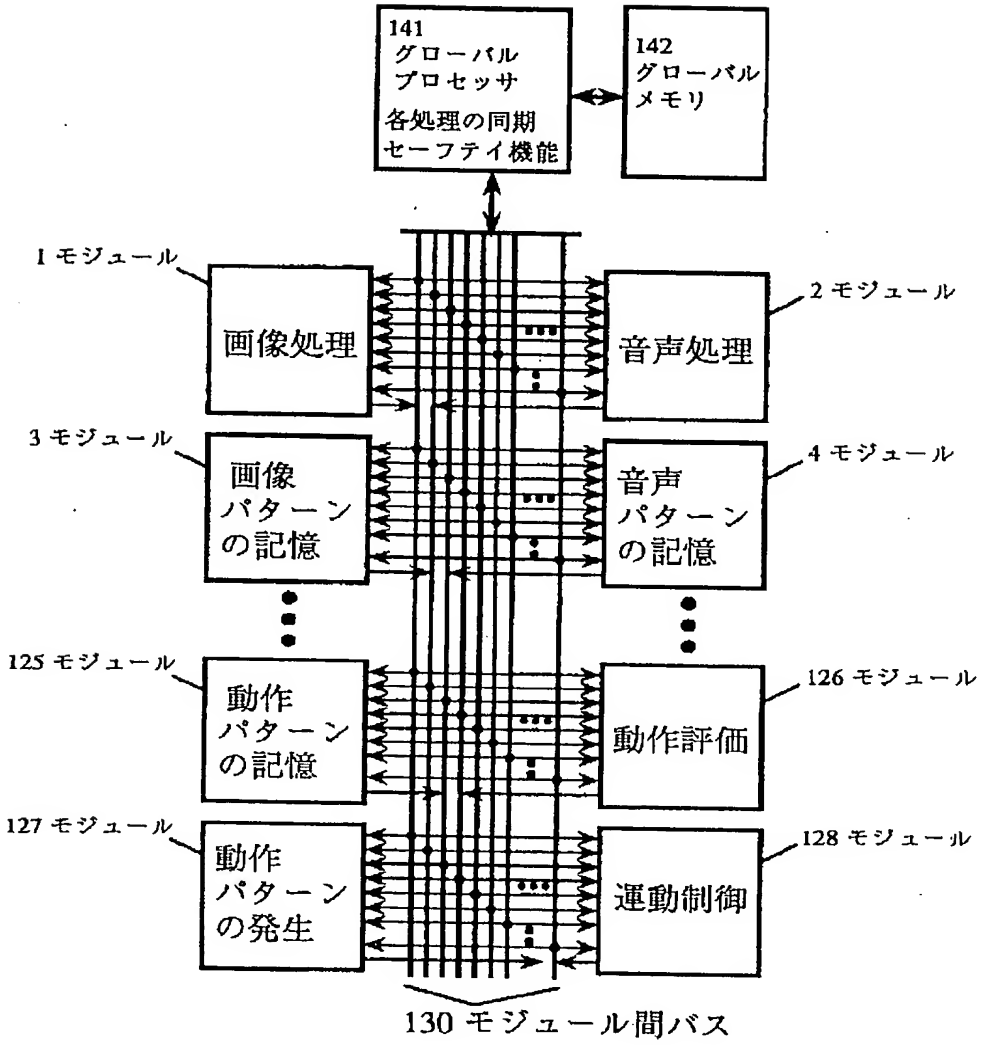
【図１３】

図13


141
グローバル
プロセッサ
142
グローバル
メモリ
1 モジュール
BP
2 モジュール
BP
3 モジュール
LVQ
4 モジュール
競合学習
125 モジュール
ホップ
フィールド
型ネット
126 モジュール
ホップ
フィールド
型ネット
127 モジュール
BP
128 モジュール
BP
130 モジュール間バス

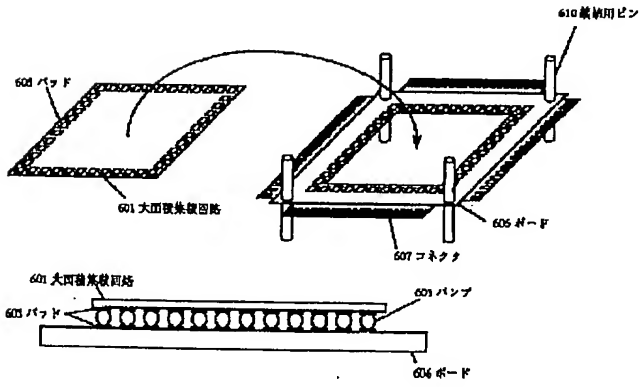
【図１４】

図14



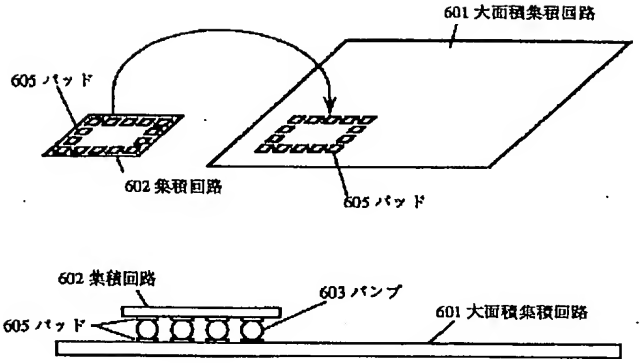
【図１６】

図16



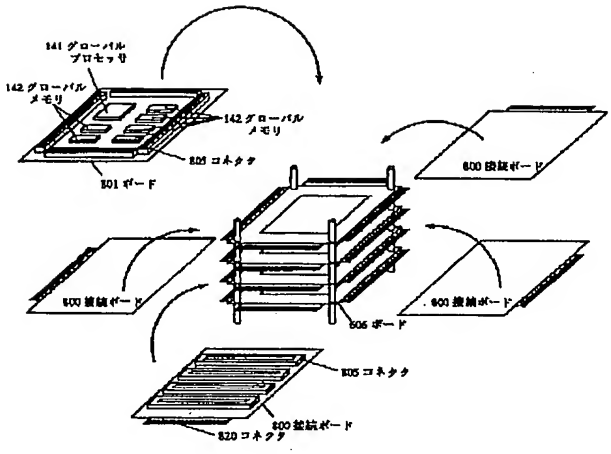
【図１５】

図１５



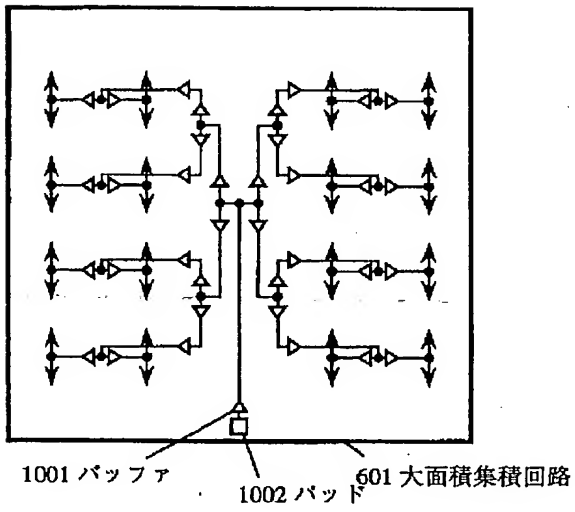
【図１７】

図17



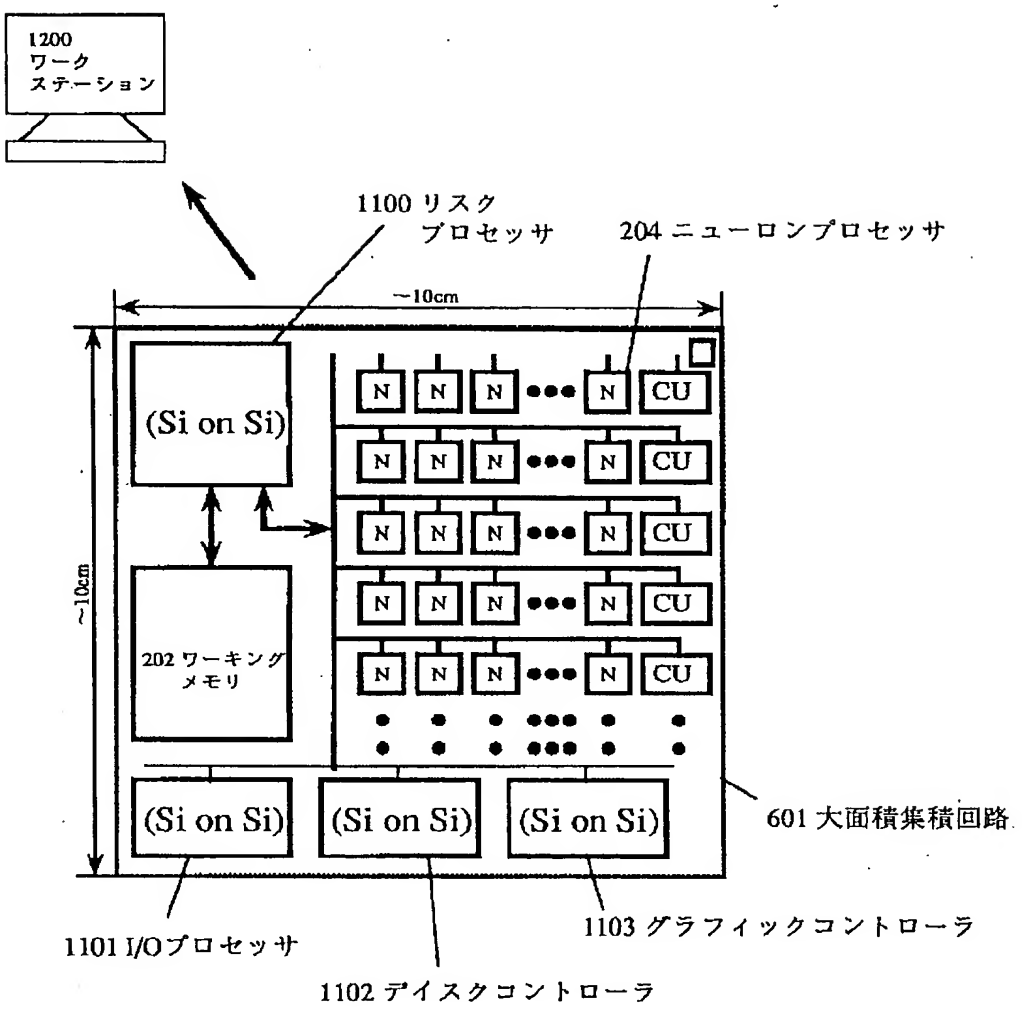
【図１９】

図19



【図２０】

図20



フロントページの続き

(72)発明者　山田　稔
東京都国分寺市東恋ケ窪１丁目280番地
株式会社日立製作所中央研究所内

(72)発明者　坂口　隆宏
東京都小平市上水本町５丁目20番１号　日立超エル・エス・アイ・エンジニアリング株式会社内

(72)発明者　橋本　雅
東京都小平市上水本町５丁目20番１号　日立超エル・エス・アイ・エンジニアリング株式会社内